

MS16550IP

16550 UART Function Compatible IP Module : Verilog HDL

概要

MS16550IP は、16550 UART と機能コンパチブルな IP モジュールです。

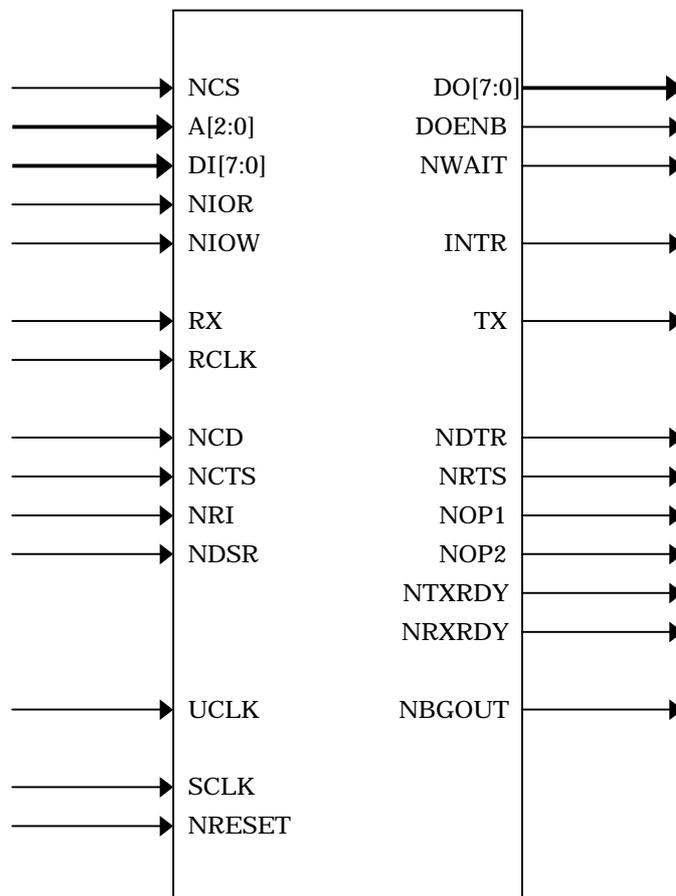
特長

シリアル非同期レシーバデータの同期化とトランスミッタ/レシーバ両部でのパラレル シリアル変換を行います。シリアルデータの同期化は、データキャラクタを完成させるために送信データにスタート/ストップビットを加え、データキャラクタにパリティビットを付加する事によってデータ保証されます。また 16550 では FIFO モードを追加し、受信/送信の両モードで 16byte が格納されます。

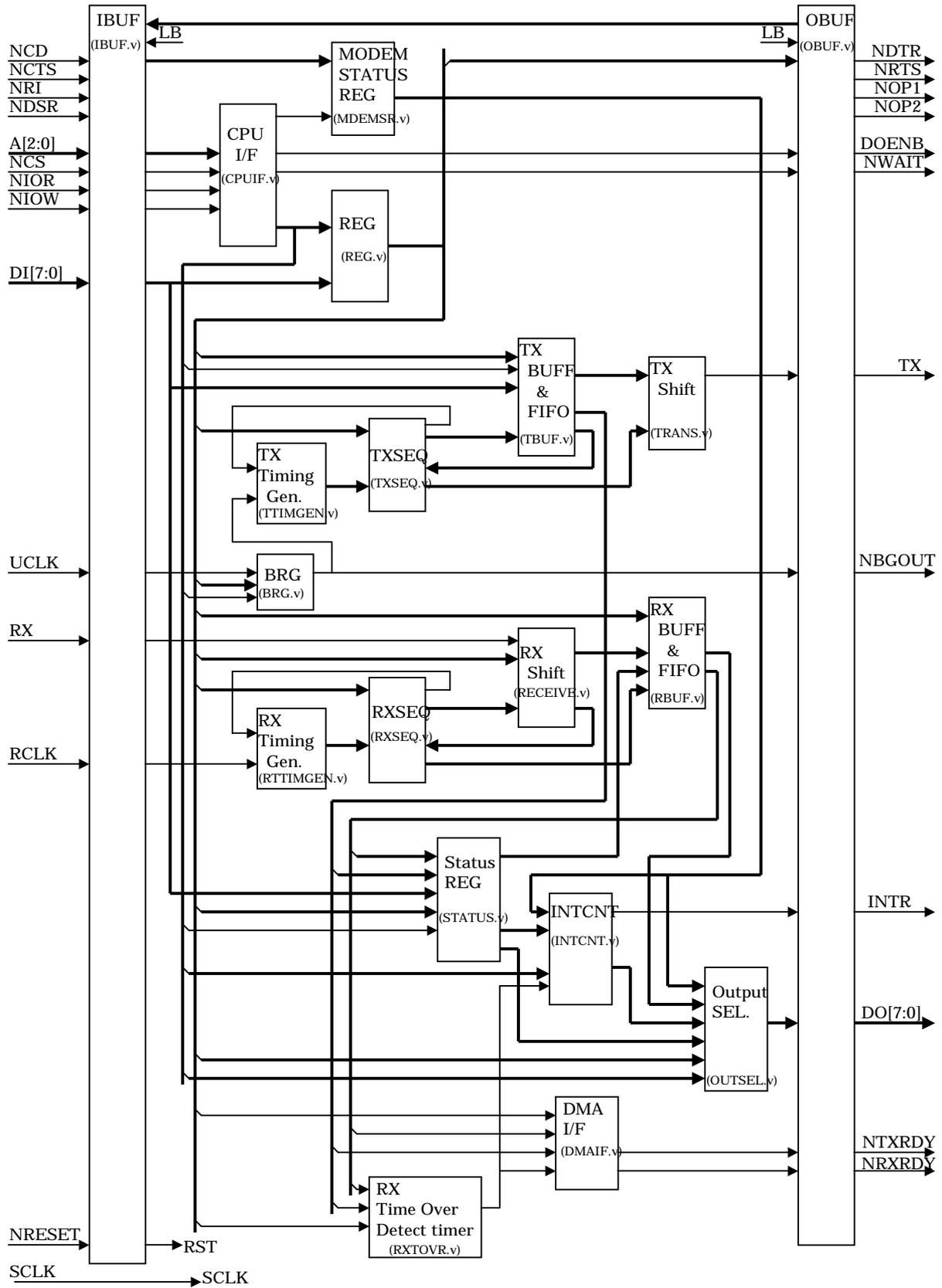
最小のシステム負荷で最大のシステム効率が得られるように組込まれており、FIFO トリガーの 4 セレクトレベル機能は最大データスループットパフォーマンスを供給し、電力消費を低下させます。

- 1.5Mbps トランスミッタ/レシーバオペレーション (24Mhz)
- 16 バイトトランスミッタ FIFO
- エラーフラグ付 16 バイトレシーバ FIFO
- 独立したトランスミッタとレシーバ制御
- 4 選択レシーバ FIFO 割り込みトリガーレベル
- 標準のモデムインターフェイス
- 16450 モードサポート
- 内部同期回路設計

入出力信号図



ブロック図



ブロック説明

ブロック名	機能
BRG	ボーレートジェネレータ
TX Timing Gen.	送信タイミング生成
RX Timing Gen.	受信タイミング生成
TX Shift	送信部 (送信シフトレジスタ パリティ生成 出力セレクタ)
TX BUFF & FIFO	送信バッファ (16byte FIFO FIFO 用カウンタ ステータス生成)
TXSEQ	送信部制御
RX Shift	受信部 (スタート検出 受信シフトレジスタ パリティチェック ブレイク検出)
RX BUFF & FIFO	受信バッファ (16 × 11 bit FIFO FIFO 用カウンタ ステータス生成)
RX Time Over Detect timer	受信タイムオーバー検出タイマ
RXSEQ	受信部制御
Status REG	ステータスレジスタ
MODEM STATUS REG	モデムステータスレジスタ
INTCNT	割り込みコントローラ
REG	レジスタ
CPU I/F	CPUインタフェイス
DMA I/F	DMAインタフェイス
IBUF OBUF	入出力バッファと ループバックテスト

信号説明

端子名	極性	I/O	タイミング	機能
NCS	L	I	非同期	チップセレクト入力
A[2:0]	H	I	非同期	アドレス入力
DI[7:0]	H	I	非同期	データ入力
NIOR	L	I	非同期	リードストロープ入力
NIOW	L	I	非同期	ライトストロープ入力
DO[7:0]	H	O	SCLK	出力データ
DOENB	H	O	SCLK	データ出力イネーブル
NWAIT	L	O	SCLK	ウェイト要求出力
INTR	H	O	SCLK	割り込み要求出力
RX	H	I	非同期	受信データ
RCLK	H	I	非同期	受信クロック入力
TX	H	O	SCLK	送信データ
NCD	L	I	非同期	Carrier Detect
NCTS	L	I	非同期	Clear to Send
NRI	L	I	非同期	Ring Indicator
NDSR	L	I	非同期	Data Set Ready
NDTR	L	O	SCLK	Data Terminal Ready
NRTS	L	O	SCLK	Request to Send
NOP1	L	O	SCLK	Output1(User Define)
NOP2	L	O	SCLK	Output2(User Define)
NTXRDY	L	O	SCLK	Transmit Ready
NRXRDY	L	O	SCLK	Receive Ready

UCLK	H	I	非同期	UART 基準クロック入力
NBGOUT	L	O	SCLK	Baud Rate Generator Output
SCLK	H	I	-	システムクロック入力
NRESET	L	I	非同期	システムリセット入力

レジスタ説明

レジスタ一覧

Address	DLAB *	R/W	Register Name
0h	Low	W	THR : Transmitter Holding Register
		R	RBR : Receiver Buffer Register
1h	Low	R/W	IER : Interrupt Enable Register
2h	X	W	FCR : FIFO Control Register
		R	ISR : Interrupt Status Register
3h	X	R/W	LCR : Line Control Register
4h	X	R/W	MCR : MODEM Control Register
5h	X	R	LSR : Line Status Register
6h	X	R	MSR : MODEM Status Register
7h	X	R/W	SPR : Scratch Pad Register
0h	High	R/W	DLL : Divisor Latch (LSB)
1h	High	R/W	DLM : Divisor Latch (MSB)

* Divisor Latch リードライト許可設定 (LCR レジスタ)

レジスタ機能

THR / RBR (0h, DLAB=Low)

DB[7:0] : ライト時、送信データ書き込み (THR)
 リード時、受信データ読み出し (RBR)

IER (1h, DLAB=Low)

EMSI : モデムステータス割込み設定
 ELSI : ラインステータス割込み設定
 ETI : トランスミッタ保持レジスタエンpty 割込み設定
 ERI : 受信データ可能割込み設定

ISR (2h, DLAB=X) Read

FE[1:0] : FIFO Enable 確認ステータス
 IP[2:0] : 割り込み優先度確認ステータス
 IS : 割り込みステータス確認ステータス

FCR (2h, DLAB=X) Write

RT[1:0] : FIFO 割込みトリガレベル設定
 DMS : DMA 転送モード選択
 XFR : 送信 FIFO リセット
 RFR : 受信 FIFO リセット
 FE : FIFO Enable

LCR (3h, DLAB=X)

DLAB : Divisor Latch リードライト許可設定
 SB : ブレーク制御設定
 SP : パリティビット強制セット
 EPS : 偶数パリティ設定
 PEN : パリティ Enable
 STB : ストップビット数指定
 WLS[1:0] : 送受信シリアルキャラクタビット数指定

MCR (4h, DLAB=X)

LB : UART 自己診断テスト用ローカルループバック機能制御
OP2 : ユーザー定義 NOP2 端子制御
OP1 : ユーザー定義 NOP1 端子制御
RTS : リクエストトゥセンド端子(NRTS) (NDTR)制御
DTR : データターミナルレディ端子(NDTR)制御

LSR (5h, DLAB=X)

FDE : FIFO Data Error
TE : トランスミッタエンプティインジケータ
THRE : 送信バッファエンプティインジケータ
BI : ブレーク割込みインジケータ
FE : フレーミングエラーインジケータ
PE : パリティエラーインジケータ
OE : オーバーランエラーインジケータ
RDR : レシーバーデータレディインジケータ

MSR (6h, DLAB=X)

CD : Carrier Detect 確認ステータス
RI : Ring Indicator 確認ステータス
DSR : Data Set Ready 確認ステータス
CTS : Clear To Send 確認ステータス
DCD : キャリアディテクト入力(NCD)確認ステータス
DRI : リングインジケータ入力(NRI)確認ステータス
DDSR : データセットレディ入力(NDSR)確認ステータス
DCTS : クリアトゥセンド入力(NCDTS)確認ステータス

SPR (7h, DLAB=X)

D[7:0] : 8ビットのリード/ライトレジスタ

DLL (0h, DLAB=1)

DL[7:0] : プログラマブルポーレートジェネレータの下位側設定レジスタ

DLM (1h, DLAB=1)

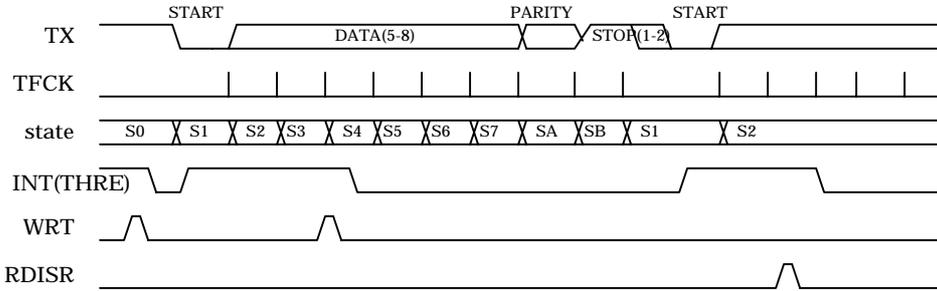
DL[15:8] : プログラマブルポーレートジェネレータの上位側設定レジスタ

送信動作説明

16450 モード

1. THR レジスタへデータをライトします。
2. 送信バッファへ転送され、TFFUL がアサートされます。この時送信開始となり、スタートビットは“L”を出力します。
3. データがシフトレジスタへロードされると TFEMP がアサートされ、THRE 割込みが発生します。(送信保持レジスタ/送信シフトレジスタが空の時)
4. シフトレジスタよりデータレンクス長(WLS)に合わせて、サンプルクロック(TFCK)でデータ(TX)が出力されます。
5. LCR-PEN ビットによりパリティ有無を制御し、EPS,SP ビットによりパリティ選択します。
6. LCR-WLS,STB により指定のストップビット長分“H”を出力し、送信終了となります。連続送信で TFFUL がアサートされていた場合は、ストップビット検出後に次のデータ送信を開始します。
7. THRE 割込みをクリアするには、THR ライト又は ISR リードが必要となります。

【タイムチャート】



16550 モード

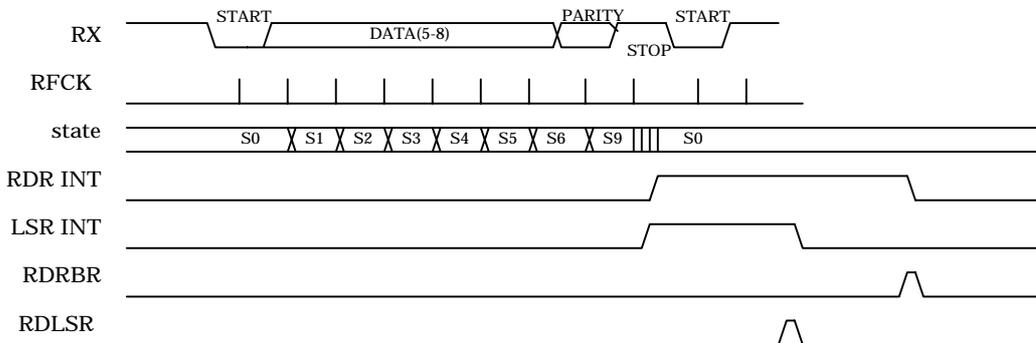
16×8 ビットの FIFO を持つため、TFEMP, TFFUL のセット条件が 16450 モードとは異なります。送信バッファに全くデータが存在しないならば TFEMP がアサートされ、16 バイト FIFO 全てにデータが書き込まれた時点で TFFUL がアサートされます。

受信動作説明

16450 モード

1. 誤スタート検出防止のため、スタートの立下りエッジで内部レシーバカウンタが 16 倍クロックレートでカウントし始め、クロック 8 発分“0”を保持していたらスタートビットとして検出し、途中で“1”を検出したら再度同期をかけ直します。よって受信データはセンターでシフトされます。
2. サンプルクロック(RFCK)は各データのセンターで、LCR-WLS 設定分のデータを受信します。
3. LCR-PEN ビット“H”ならば、パリティビットと認識し、設定されたパリティ選択(LCR-EPS, SP)と一致しているか判定します。一致していない場合は、受信終了後パリティエラー(PE)を出力します。
4. ストップビット検出では、受信データ=“H”であれば受信終了となります。この時 RFFUL がアサートされ、受信データレディ割込み(RDR)が発生します。またストップビット=“L”が検出された場合、フレーミングエラー(FE)を出力し、さらにブレイク受信(RXBRK)であつたらブレイクインターラプト(BI)も出力します。
5. RDR 割込みをクリアするには RBR リードが必要で、OE, PE, FE, BI の割込みをクリアするためには LSR リードが必要です。

【タイムチャート】

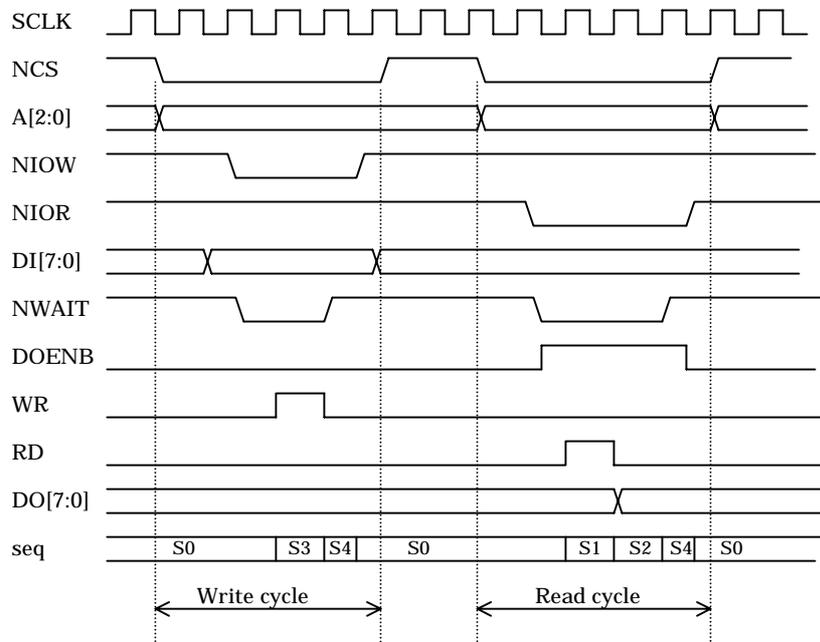


16550 モード

16×11 ビットの FIFO を持つため、RFFUL,RFEMP のセット条件及びエラー(PE,FE,BI)のセット条件が 16450 モードとは異なります。受信バッファ FIFO に全くデータが存在しない時 RFEMP がアサートされ、FIFO に全てデータが入っている時 RFFUL がアサートされます。エラー表示は FIFO のポインタが示す部分のデータ内容を示し、LSR リードするとエラーはクリアされ、RBR リードを行うとポインタが次の FIFO に更新されます。さらに 16550 モード時はトリガーレベル設定が行えるため、設定されたトリガーレベル以上に達すると RFTL 割込みが発生します。

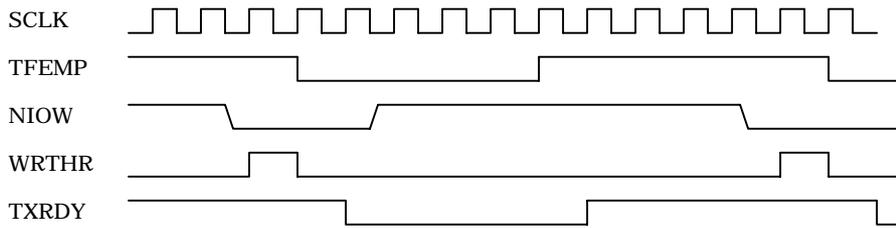
CPU アクセスタイミング

PCMCIA の I/O をターゲットに設計されています。システムクロック、ターゲットインタフェイスが異なる場合にはモジュールの変更が必要となります。(ターゲットインタフェイスに対応した変更をお引き受けいたします。)

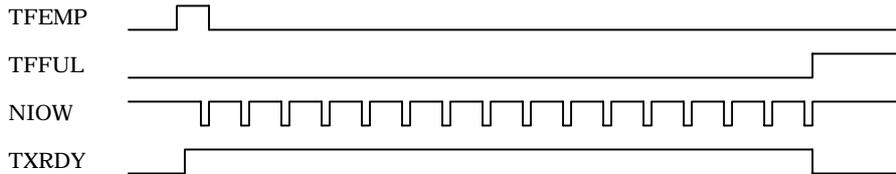


DMA 転送 (TXRDY,RXRDY 信号)

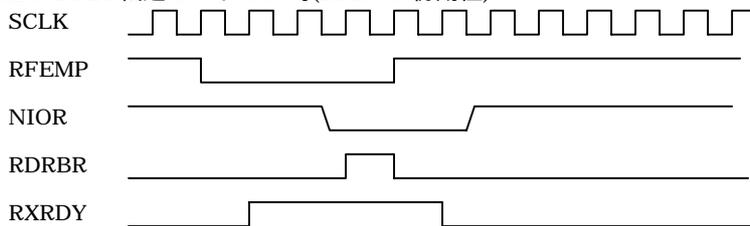
TXRDY:DMA 転送モード 0 の時(DMS=0:初期値)



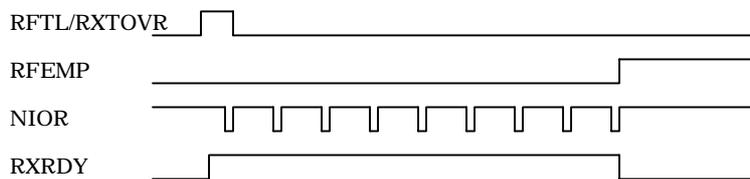
TXRDY:DMA 転送モード 1 の時(DMS=1,FIFOMOD=1)



RXRDY:DMA 転送モード 0 の時(DMS=0:初期値)



RXRDY:DMA 転送モード 1 の時(DMS=1,FIFOMOD=1)



- 1.本書に記載された内容につきましては、改善のため予告なしに変更することがあります。
- 2.本書に記載された情報や図面等の使用に起因した等三者の所有する工業所有権およびその他の権利侵害に対し当社はその責任を負うものではありません。
- 3.本書に記載された内容を当社に無断で転載または複製することは、ご遠慮下さい。
- 4.本書に記載された製品は「外国為替及び外国貿易管理法」に基づく戦略物質等に該当します。従って本製品を輸出する場合は、同法に基づく許可が必要となります。