

# MS59402IP

## Priority Interrupt Controller IP Module (Verilog-HDL)

### ■概要

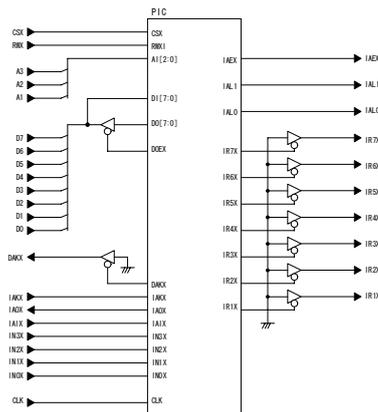
MS59402IPはMC68000CPUに対する割り込みコントローラIPモジュールです。  
MC68153ファンクションコンパチブルです。

### ■特長

- VMEbusI/F可能
- MC68000（コンパチブル品を含む）I/F可能
- 8個のリード／ライト可能なレジスタを内蔵
- 4本の割り込み要求に対応
- 割り込み要求個々の許可／禁止を設定可能
- 割り込み要求レベル（7レベル）を設定可能
- 割り込みベクタを設定可能
- 割り込みベクタの出力デバウンス切り替えを設定可能
- 割り込みアクリッジデシグネーションをサポート

### ■端子説明

#### ●入出力端子図

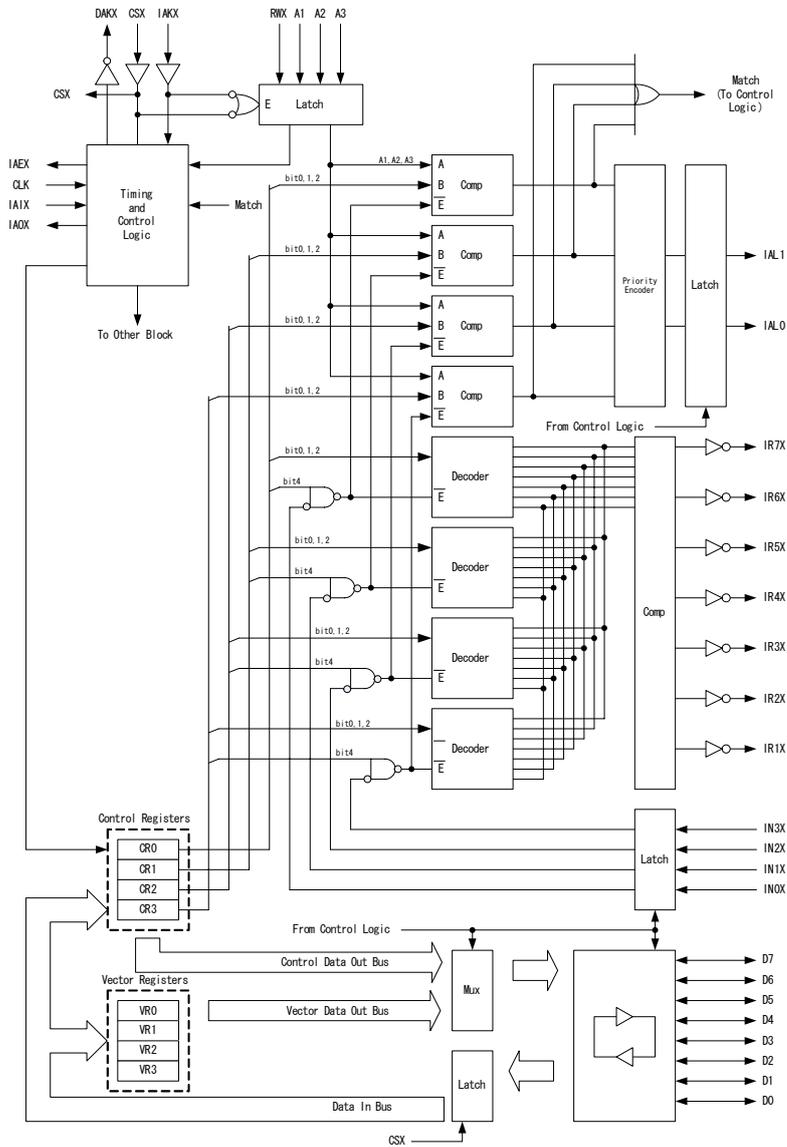


#### ●端子機能

信号名	I/O	極性	機能
A3 A2 A1	I	True	アドレス入力 リード／ライトサイクル : レジスタ・アドレス 割り込みアクリッジサイクル : 割り込みレベル
D7~D0	I/O	True	データバス リード／ライトサイクル : レジスタ・データ 割り込みアクリッジサイクル : 割り込みベクタ出力
CSX	I	Low	チップ・セレクト入力
RWX	I		リード／ライト入力 1 : リードサイクル 0 : ライトサイクル
DAKX	O	Low	データ転送アクリッジ出力（オフ・オン・レイアウト出力） リード／ライトサイクル : サイクル完了 割り込みアクリッジサイクル : 割り込みベクタ出力完了
IAKX	I	Low	割り込みアクリッジサイクル入力
IAIX	I	Low	割り込みデシグネーション入力 1 : 自身の上位側に対応する割り込みが存在する 0 : " 存在しない

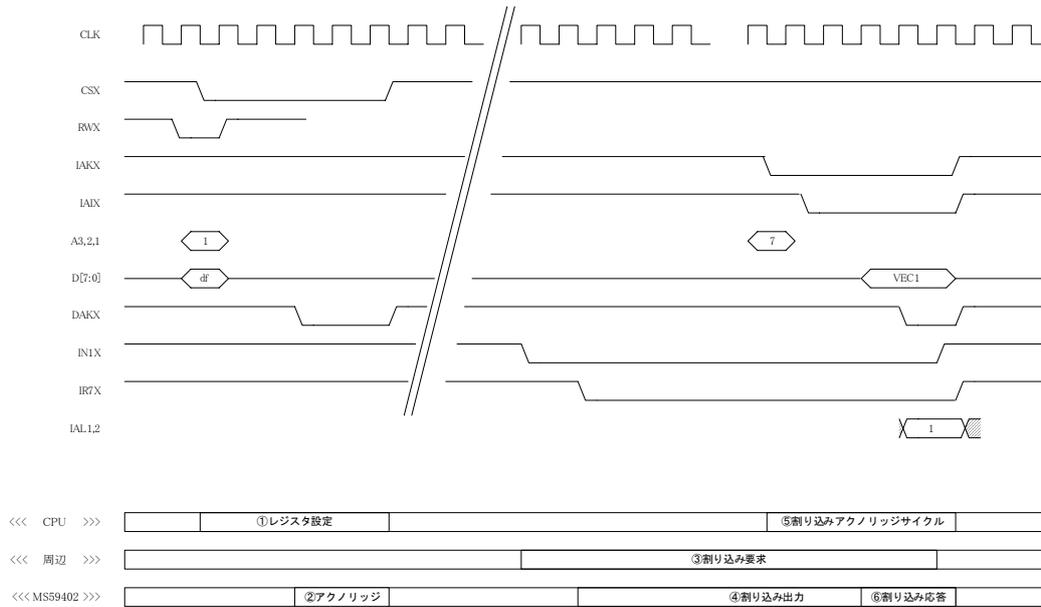
IAOX	O	Low	割り込みデフォイン出力 1 : 自身の下位側に対し、割り込みアクリッジ 応答を許可しない 0 : 自身の下位側に対し、割り込みアクリッジ 応答を許可する
IN3X IN2X IN1X IN0X	I	Low	割り込み要求入力
IR7X IR6X IR5X IR4X IR3X IR2X IR1X	O	Low	割り込み要求出力 (オープンドレイン出力) IR7X 強 ↓ IR1X 弱
IAEX	O	Low	IAL1,0 確定
IAL1 IAL0	O	True	割り込みアクリッジ ナンバー
CLK	I		クロック入力

■ブロック図



## ■動作説明

以下に割り込みアクノリッジ応答の概略図(例)を示します。



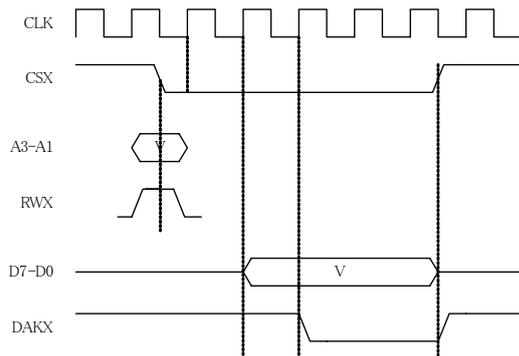
CLK～IAL1, 2 は主な入出力信号、<<< >>>は対応する動作を示します。

- ①CPU はコントロールレジスタに割り込みレベル、ベクタ出力値を設定します。上図では IN1X に対応するコントロールレジスタ IRC1 の割り込みレベルを“7”に設定しています。
- ②MS59402IP はアクノリッジ DAKX を返します。
- ③周辺部は割り込み要求を出力します。上図では IN1X をアサートしています。
- ④MS59402IP は割り込み要求出力を出力します。上図では IN1X に対応するレジスタに“7”が設定されているので、CPU に対し割り込み要求出力 IR7X を出力します。
- ⑤CPU は割り込み要求を受けて、割り込みアクノリッジサイクルに入ります。上図では割り込みレベル“7”を指定しています。
- ⑥MS59402IP は割り込み応答をします。IN1X に対応するベクタレジスタ VEC1 の値 (8bit) を出力、IAL1, 2 からは IN1X に応答していることを示す“01”が出力されアクノリッジ出力 DAKX を返します。

■タイムチャート

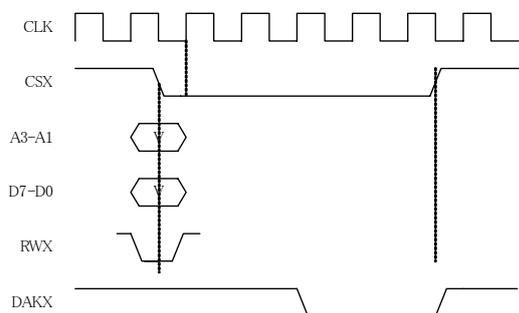
●外部入出力タイミング

●リードアクセス入出力タイミング



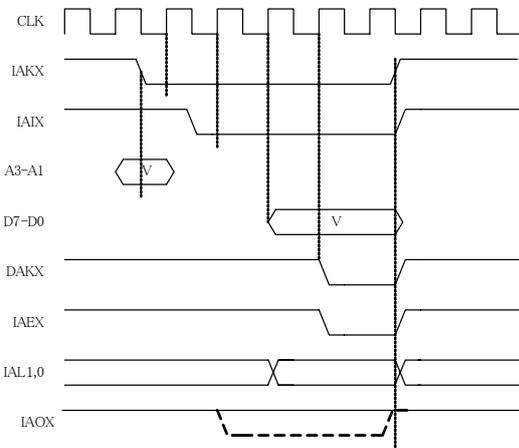
アドレス (A3-A1), リード/ライト入力 (RWX) は CSX の立ち下がりでラッチされます。

●ライトアクセス入出力タイミング



アドレス (A3-A1), データ (D7-D0), リード/ライト入力 (RWX) は CSX の立ち下がりでラッチされます。

●割り込みアクノリッジアクセス入出力タイミング



アドレス (A3-A1) は IAKX の立ち下がりでラッチされます。

■レジスタ説明

●レジスタマップ

アドレス A3 A2 A1	レジスタ Name	レジスタビット								初期値	機能
		7	6	5	4	3	2	1	0		
0 0 0	ICR0	FLG	FAC	EIX	IRE	IAC	LV2	LV1	LV0	00 Hex	IN0X コントロールレジスタ
0 0 1	ICR1	FLG	FAC	EIX	IRE	IAC	LV2	LV1	LV0	00 Hex	IN1X コントロールレジスタ
0 1 0	ICR2	FLG	FAC	EIX	IRE	IAC	LV2	LV1	LV0	00 Hex	IN2X コントロールレジスタ
0 1 1	ICR3	FLG	FAC	EIX	IRE	IAC	LV2	LV1	LV0	00 Hex	IN3X コントロールレジスタ
1 0 0	IVR0	VC7	VC6	VC5	VC4	VC3	VC2	VC1	VC0	0F Hex	IN0X ベクタレジスタ
1 0 1	IVR1	VC7	VC6	VC5	VC4	VC3	VC2	VC1	VC0	0F Hex	IN1X ベクタレジスタ
1 1 0	IVR2	VC7	VC6	VC5	VC4	VC3	VC2	VC1	VC0	0F Hex	IN2X ベクタレジスタ
1 1 1	IVR3	VC7	VC6	VC5	VC4	VC3	VC2	VC1	VC0	0F Hex	IN3X ベクタレジスタ

●レジスタビット機能

・コントロールレジスタ

FLG : MC68000 の TAS 命令用レジスタビット

FAC : FLG(ビット7)自動クリア

0=影響なし。

1=割り込みアクリッジ・サイクル中に対応する FLG を自動リセットする。

EIX : 割り込みアクリッジ 応答切り替え

0=内部応答。 MS59402 がベクタを出力し、DAKX(データ転送アクリッジ)を返す。

1=外部応答。 MS59402 は応答せずに、割り込み要求リソースがベクタを出力し、DAKX を返す。

IRE : 割り込み許可

0=禁止。

1=許可。

IAC : IRE(ビット4)自動クリア

0=影響なし。

1=割り込みアクリッジサイクル中に対応する IRE を自動リセットする。

再度割り込みを許可したいときは、IRE を”1”に設定し直す必要があります。

LV2 : }  
 LV1 : } 割り込みレベル  
 LV0 :

LV2	LV1	LV0	対応出力
0	0	0	—
0	0	1	IR1X
0	1	0	IR2X
0	1	1	IR3X
1	0	0	IR4X
1	0	1	IR5X
1	1	0	IR6X
1	1	1	IR7X

・ベクタレジスタ

V7~V0 : 割り込みベクタ。

ICR(コントロールレジスタ)の EIX(ビット5)が”0”のとき

割り込みアクリッジ・サイクル中に、このレジスタの値が D7~D0 端子に出力される。

- 1.本書に記載された内容につきましては、改善のため予告なしに変更することがあります。
- 2.本書に記載された情報や図面等の使用に起因した等三者の所有する工業所有権およびその他の権利侵害に対し当社はその責任を負うものではありません。
- 3.本書に記載された内容を当社に無断で転載または複製することは、ご遠慮下さい。
- 4.本書に記載された製品は「外国為替及び外国貿易管理法」に基づく戦略物質等に該当します。従って本製品を輸出する場合は、同法に基づく許可が必要となります。

© 2009 Mega-Sys Co., Ltd.