

# MS60305

## CMOS PIAFS INTERFACE LSI

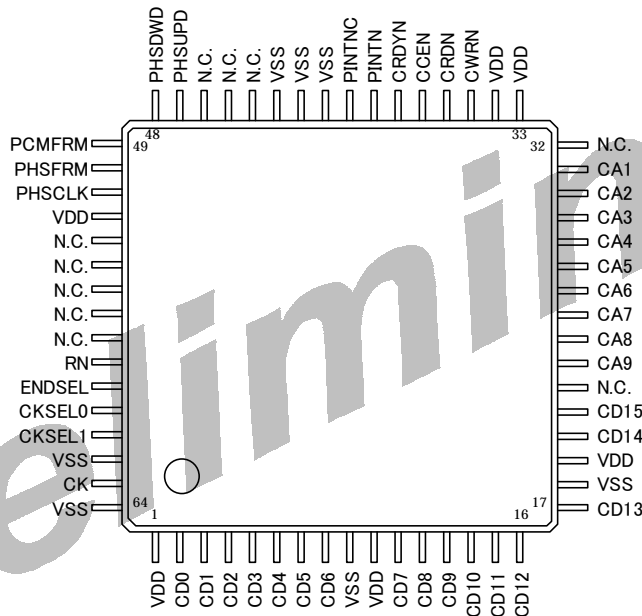
### 概要

MS60305は、64kbps PIAFS 対応通信制御 LSI です。32kbps 及び 64kbps のペアラ転送による PIAFS フレームのやり取りにより P H S との通信が可能です。

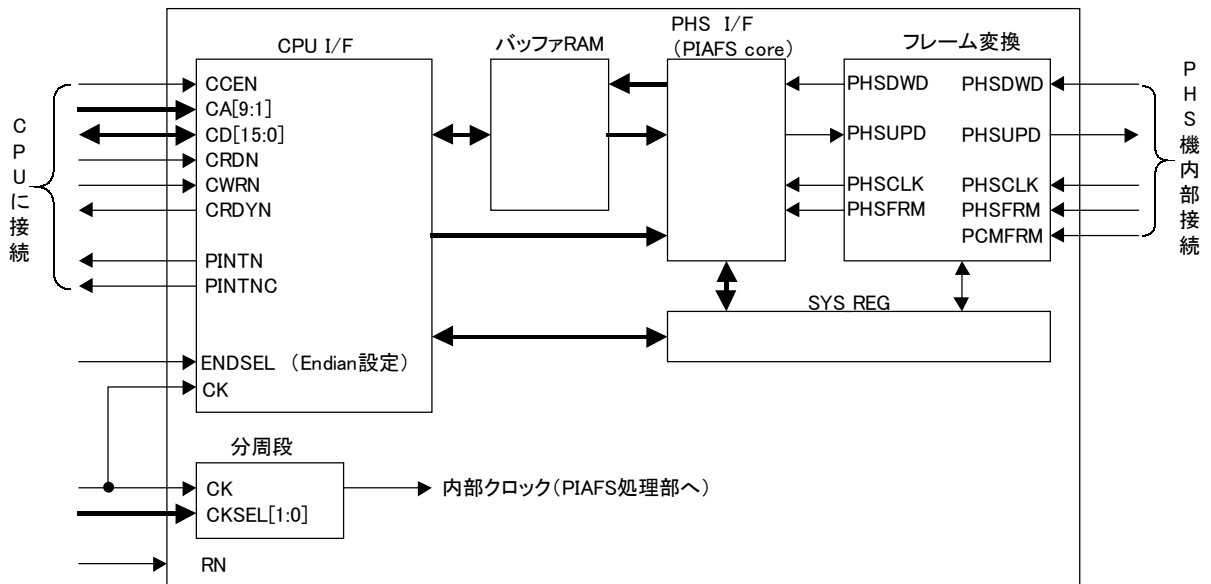
### 特長

- P H S 通信モード、P C M 通信モードの切り替えが可能
- クロック分周回路により低消費電力化が可能
- E n d i a n の切替が可能
- CPU - P H S 間のデータ変換、転送、同期検出を行います。
- データバッファとして 16bit × 80 ワードの非同期式 2 ポート R A M を内蔵
- P H S 送信及び受信割りこみを用意
- 電源電圧 3.0V 単一 / 3.3V 単一のいずれとも対応
- LQFP-64pin

### パッケージ



### ブロック図



端子説明

分類	信号名	I/O	極性	概要
CPU I/F	CCEN	I	"L"active	CPU の Chipselect 信号に接続
	CA[9:1]	I	-	CPU のアドレス入力 (本 LSI は、実質 1kB のアドレス空間を占有します。16 ビットアクセスのみが可能で、バイトアクセスを行った場合の動作は保証されません。)
	CRDN	I	"L"active	CPU の Read 信号に接続
	CWRN	I	"L"active	CPU の Write 信号に接続
	CD[15:0]	I/O	-	CPU のデータ入出力です。
	CRDYN	O	"L"active	CPU の Ready 信号に接続
割込	PINTN	O	"L"active, Open_Drain	PHS 送信・受信割り込み
	PINTNC	O	"L"active, Complementary	PHS 送信・受信割り込み
PHS I/F	PHSCLK	I	シュミット入力	PHS ビットクロック入力
	PHSFRM	I	シュミット入力	PHS フレーム入力：5ms 周期
	PCMFRM	I	シュミット入力	PCM フレーム入力：125 μs 周期
	PHSDWD	I	-	受信データ入力
	PHSUPD	O	-	送信データ出力
Global	CK	I	シュミット入力	本 LSI の動作クロックです。6MHz ~ 20MHz の間で使用します。
	RN	I	"L"active, シュミット入力	非同期リセット入力です。
ModeSet	CKSEL[1:0]	I	-	内部クロック分周比設定。 CKSEL[1:0] = (H,H):1/1 (H,L):1/2 (L,H):1/3 (L,L):1/4
	ENDSEL	I	PullUp 内蔵	CPU I/F の Endian を切り替えます。 H: Little Endian L: Big Endian

電気的特性

絶対最大定格 (V<sub>SS</sub>=0V)

項目	記号	定格値	単位
電源電圧	V <sub>DD</sub>	-0.3~4.0	V
入力電圧	V <sub>In</sub>	-0.3~V <sub>DD</sub> +0.5	V
出力電圧	I <sub>OUT</sub>	±3.0	V
保存温度	T <sub>STG</sub>	-55~+125	°C

推奨動作条件 (V<sub>SS</sub>=0V)

項目	記号	定格			単位
		MIN	TYP	MAX	
電源電圧	V <sub>DD</sub>	3.0	3.3	3.6	V
		2.7	3.0	3.3	
入力電圧	V <sub>IN</sub>	0		V <sub>DD</sub>	V
動作温度	T <sub>opr</sub>	-40		85	°C

直流特性

T B D

レジスタ・メモリMAP

アドレス0x000~0x0FFhは、SYSREGに割りつけられております。  
 アドレス0x100~0x1FFhは、PHSREGに割りつけられております。  
 アドレス0x200~0x3FFhは、PHSBUFに割りつけられております。

・SYSREG (システム制御レジスタ) 領域

アドレス	レジスタ名	15	14	13	12	11	10	9	8
0x000h	MODE	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		7	6	5	4	3	2	1	0
		PCMPHS R/W(0)	64K32K R/W(0)	-	-	-	PPOS2 R/W(0)	PPOS1 R/W(0)	PPOS0 R/W(0)
0x004h	PHSDLY	-	-	-	-	-	-	PHSDLY9	PHSDLY8
		-	-	-	-	-	-	R/W(0)	R/W(0)
		7	6	5	4	3	2	1	0
		PHSDLY7 R/W(0)	PHSDLY6 R/W(0)	PHSDLY5 R/W(0)	PHSDLY4 R/W(0)	PHSDLY3 R/W(0)	PHSDLY2 R/W(0)	PHSDLY1 R/W(0)	PHSDLY0 R/W(0)

・PHSREG ( PHS I/F 制御レジスタ) 領域

アドレス	レジスタ名	15	14	13	12	11	10	9	8
0x100h	TXCNT	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		7	6	5	4	3	2	1	0
		FINTE R/W(0)	RTMOD R/W(0)	-	-	-	-	TPC R/W(0)	TXE R/W(0)
0x104h	RXCNT	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		7	6	5	4	3	2	1	0
		RINTE R/W(0)	-	-	-	-	-	-	RXE R/W(0)
0x108h	STATUS	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		7	6	5	4	3	2	1	0
		RINT R/W(x)	CRCER R(x)	RPE R(x)	RES R(x)	FINT R/W(x)	TXOUT R(x)	TPE R(x)	TES R(x)
0x10Ch	TESTPF	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		7	6	5	4	3	2	1	0
		TESTPF R/W(0)	-	-	-	-	-	-	TEST1 R/W(0)

・PHSBUF 領域

アドレス	bit15 ... bit0
0x3FFh	未実装 ( 96Byte )
0x3A0h	
0x39Fh	受信バッファ B ( 80Byte )
0x350h	
0x34Fh	受信バッファ A ( 80Byte )
0x300h	
0x200h	未実装 ( 96Byte )
0x2A0h	
0x29Fh	送信バッファ B ( 80Byte )
0x250h	
0x24Fh	送信バッファ A ( 80Byte )
0x200h	

## レジスタ機能

### ・ SYSREG (システム制御レジスタ) 領域

#### MODE (0x000h)

PCMPHS : 通信インターフェイスモード設定  
64K32K : P C M通信速度設定  
PPOS[2:0] : P C M受信データ配列設定

#### PHSDLY(0x004h)

PHSDLY[9:0] : PHS 送信遅延設定

### ・ PHSREG ( P H S I/F 制御レジスタ) 領域

#### TXCNT (0x100h)

FINTE : PHS 割りこみイネーブル  
RTMOD : PHS リアルタイム転送モード選択  
TPC : PHS 送信バッファ選択  
TXE : PHS 送信許可

#### RXCNT (0x104h)

RINTE : PHS フレームデータ受信完了割りこみイネーブル  
RXE : PHS フレームデータ受信許可

#### STATUS (0x108h)

RINT : PHS 受信系フレームデータ受信完了割りこみステータス  
CRCER : PHS 受信データフレーム CRC 確認結果  
RPE : PHS 受信データ格納バッファ  
RES : PHS 受信表示  
FINT : PHS 送信系 640 ビット毎割りこみステータス  
TXOUT : PHS 送信中ステータス  
TPE : PHS 書き込み可能送信バッファ  
TES : PHS 送信表示

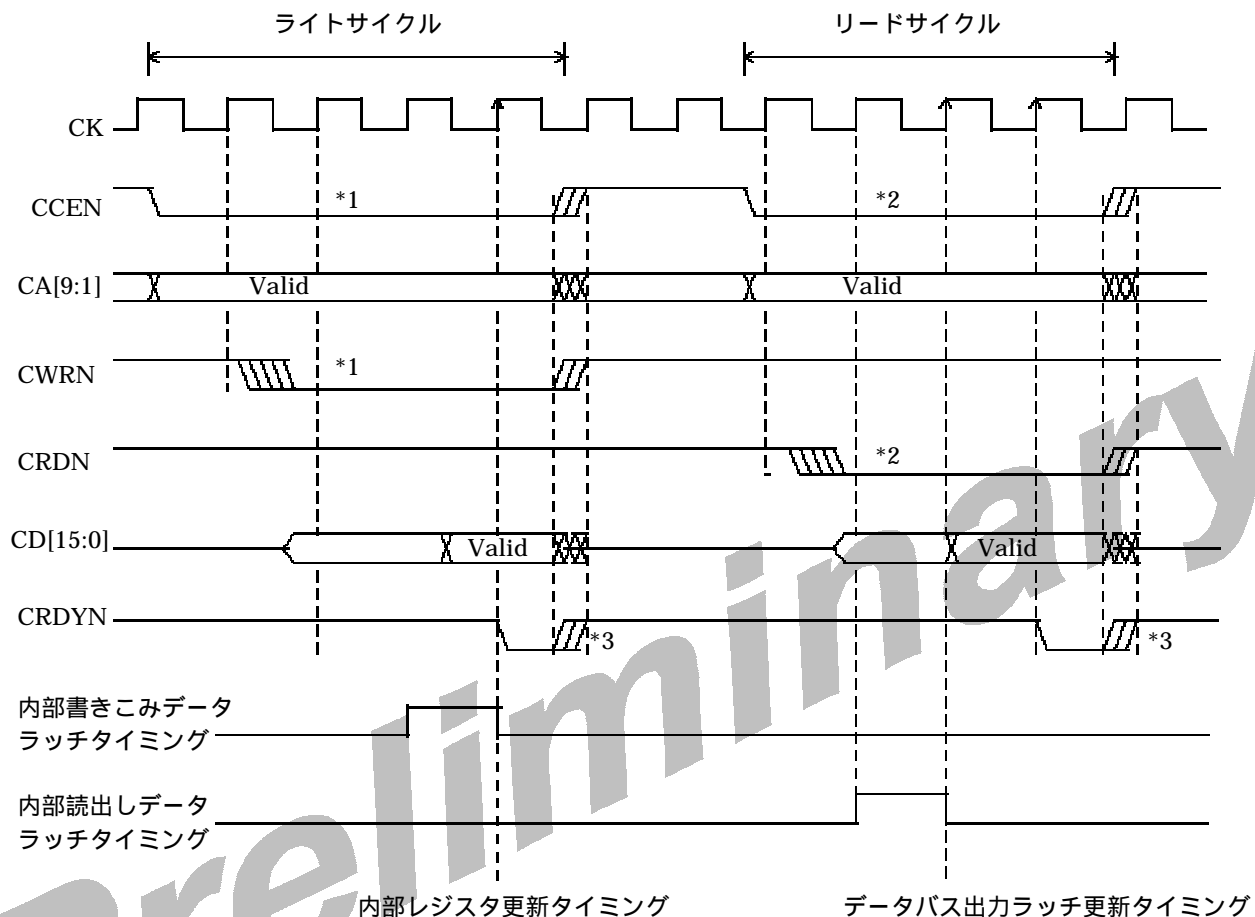
#### TESTPF (0x10Ch)

TESTPF : PHS テスト設定  
TES1 : PHS テスト設定

## CPU バスインタフェース

CPU との間のバスインタフェースのタイミングを示します。

LSI 内部でシステムクロック (CK) に同期して書き込み動作及び読み出し動作を行いますので、全てのレジスタおよびRAM への書き込み・読み出しにおいて、Wait サイクルを発生します。

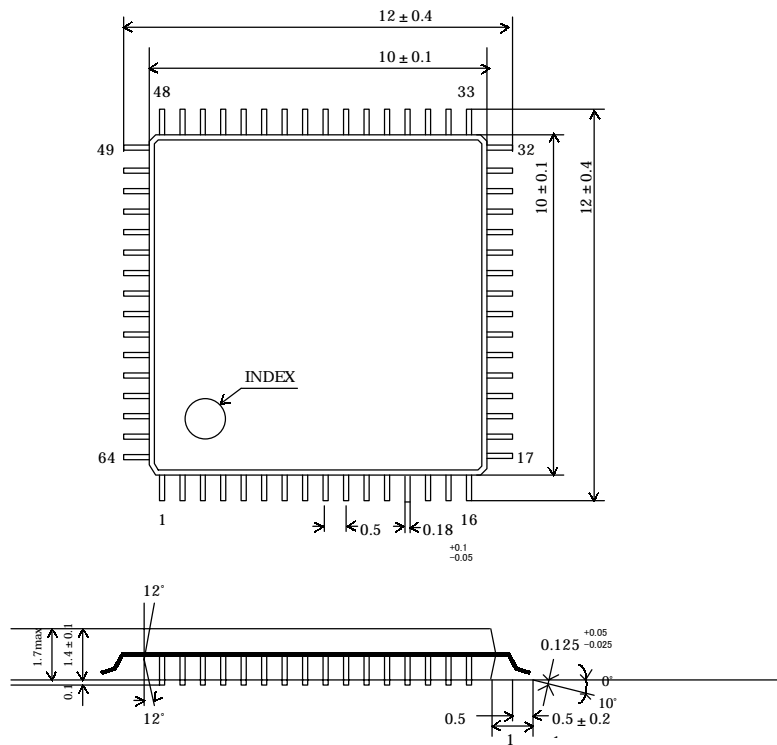


\*1 CK 立ち上がりにおいて CCEN="L"かつ CWRN="L"の条件を検出した時点でライトアクセス処理を開始します。

\*2 CK 立ち上がりにおいて CCEN="L"かつ CRDN="L"の条件を検出した時点でリードアクセス処理を開始します。

\*3 CRDYN のアサートは内部シーケンスにより行われます。タイミングはCK 立ち上がりになります。ネゲートは\*1 または\*2 の条件が不成立になった時点で,CK とは非同期に行われます。

## 外形寸法



Preliminary

- 1.本書に記載された内容につきましては、改善のため予告なしに変更することがあります。
- 2.本書に記載された情報や図面等の使用に起因した等三者の所有する工業所有権およびその他の権利侵害に対し当社はその責任を負うものではありません。
- 3.本書に記載された内容を当社に無断で転載または複製することは、ご遠慮下さい。
- 4.本書に記載された製品は「外国為替及び外国貿易管理法」に基づく戦略物質等に該当します。従って本製品を輸出する場合は、同法に基づく許可が必要となります。